

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

14840344

Basic Patent (No,Kind,Date): JP 10312173 A2 981124 <No. of Patents: 001>

PICTURE DISPLAY DEVICE (English)

Patent Assignee: PIONEER ELECTRONIC CORP

Author (Inventor): USHIKUSA YOSHISUKE

IPC: *G09G-003/30; H05B-033/08

Derwent WPI Acc No: *G 99-066220; G 99-066220

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 10312173	A2	981124	JP 97136010	A	970509 (BASIC)

Priority Data (No,Kind,Date):

JP 97136010 A 970509

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06029073 **Image available**

PICTURE DISPLAY DEVICE

PUB. NO.: 10-312173 [JP 10312173 A]

PUBLISHED: November 24, 1998 (19981124)

INVENTOR(s): USHIKUSA YOSHISUKE

APPLICANT(s): PIONEER ELECTRON CORP [000501] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 09-136010 [JP 97136010]

FILED: May 09, 1997 (19970509)

INTL CLASS: [6] G09G-003/30; H05B-033/08

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 43.4 (ELECTRIC POWER -- Applications)

ABSTRACT

PROBLEM TO BE SOLVED: To easily perform expressions having luminance gradations and also correctly in accordance with a video signal with simple structure by making currents from driving electrodes so as not to be supplied to all pixels in an address period determining light emissions or non-light emissions of all pixels and also supplying currents from the driving electrodes to the pixels after the address period is completed.

SOLUTION: A controller 6 supplies column data for every subfield successively held in a data latch circuit 8 to a display panel 9 in a row unit and also makes EL elements emit lights simultaneously in the pixel column had by a corresponding row by a row driver 7. Then, an active matrix driving in which in the address period determining all light emissions or non-light emissions of plural pixels, all connections of driving electrodes and the plural pixels are cut and also the driving electrodes and the plural pixels are connected after the address period is completed is performed. Thus, instantaneous luminances of EL elements are respectively made constant in respective pixels and also displays having luminance gradations are correctly performed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-312173

(43)公開日 平成10年(1998)11月24日

(51) Int.Cl.⁸

識別記号

FI

G O 9 G 3/30

G O 9 G 3/30

J

Н О Б В 33/08

H O 5 B 33/08

審査請求 未請求 請求項の数 8 FD (全 9 頁)

(21) 出願番号 特願平9-136010

(22)出願日 平成9年(1997)5月9日

(71)出票人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 發明者 牛草 義祐

埼玉県鶴ヶ島市富士見6丁目1番1号 バ

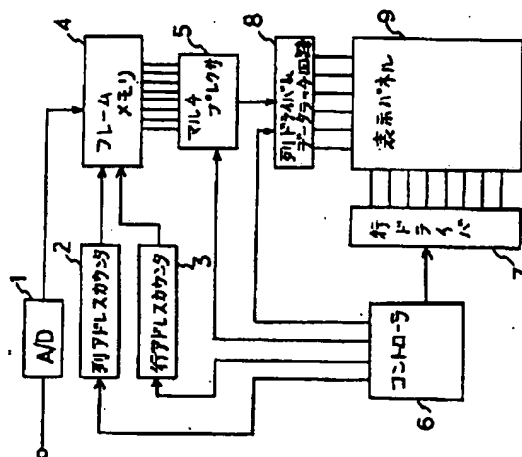
イオニア株式会社総合研究所内

(54)【発明の名称】 画像表示装置

(57) 【要約】

【課題】 簡単な構造で容易にしかも映像信号に応じて正確に輝度階調の表現（表示制御）を行なうことができる画像表示装置を提供することを目的とする。

【解決手段】 複数の画素がマトリクス状に配列されるＥＬ素子を用いた画像表示装置であって、複数の画素は、各々駆動電極に接続可能とされた単一のＥＬ素子と、ＥＬ素子に直列に接続されゲートに電荷が保持される場合にＥＬ素子に電流を流すように構成されたトランジスタと、ＥＬ素子を発光させるか否かを決定すると共に、発光する場合はトランジスタのゲートに電荷を供給する発光決定手段とを備えて構成され、複数の画素の全ての発光又は非発光を決定するアドレス期間においては、駆動電極と複数の画素との全ての接続を断すると共に、アドレス期間終了後に駆動電極と複数の画素とを接続するようにしたことを特徴とする。



【特許請求の範囲】

【請求項1】 複数の画素がマトリクス状に配列されるEL素子を用いた画像表示装置であって、前記画素の各々は、駆動電極からの駆動電流が供給されるEL素子と、

前記EL素子に直列に接続され、ゲートに電荷が保持される場合に前記EL素子を通電可能とするドライブ用トランジスタと、

前記EL素子の発光するか否かを決定すると共に発光する場合は前記トランジスタのゲートに電荷を供給する発光決定手段とを備えて構成され、

全ての前記画素の発光又は非発光を決定するアドレス期間においては前記駆動電極からの電流が全ての前記画素に供給されないようにすると共に、前記アドレス期間終了後には前記駆動電極からの電流を前記画素に供給させるようにしたことを特徴とする画像表示装置。

【請求項2】 複数の画素がマトリクス状に配列されるEL素子を用いた画像表示装置であって、

前記画素の各々は、駆動電極からの駆動電流が供給されるEL素子と、

前記EL素子に直列に接続され、ゲートに電荷が保持される場合に前記EL素子を通電可能とするドライブ用トランジスタと、

前記EL素子の発光するか否かを決定すると共に発光する場合は前記トランジスタのゲートに電荷を供給する発光決定手段と、

全ての前記画素の発光又は非発光を決定するアドレス期間においては前記駆動電極からの電流が全ての前記画素に供給されないようにすると共に、前記アドレス期間終了後には前記駆動電極からの電流を前記画素に供給させるスイッチ手段とから構成されることを特徴とする画像表示装置。

【請求項3】 前記画素の全てにおいて、前記発光決定手段が前記ドライブ用のトランジスタのゲートに供給する電位は同一電位であることを特徴とする請求項1又は2に記載の画像表示装置。

【請求項4】 前記発光決定手段は、アドレス選択用のトランジスタからなるものであり、そのソースがデータ電極線に接続され、ゲートがアドレスデータ電極線に接続され、ドレインが前記ドライブ用のトランジスタに接続されることを特徴とする請求項1乃至3に記載の画像表示装置。

【請求項5】 前記ドライブ用のトランジスタのゲートには電荷保持用のコンデンサが接続されていることを特徴とする請求項1乃至4に記載の画像表示装置。

【請求項6】 前記スイッチ手段は、駆動電極と前記ドライブ用のトランジスタの間に設けられるものであることを特徴とする請求項1乃至5に記載の画像表示装置。

【請求項7】 前記画像表示装置は、サブフィールド2ⁿ階調法による輝度階調を表現することを特徴とする請

求項1乃至6に記載の画像表示装置。

【請求項8】 前記EL素子は、有機化合物からなる発光層を有することを特徴とする請求項1乃至7に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネッセンス素子（以下、有機EL素子と称する）等のエレクトロルミネッセンス素子（EL素子）を用いた表示装置に関する。

【0002】

【従来の技術】従来、ガラス板、あるいは透明な有機フィルム上に形成した蛍光体に電流を流して発光させる有機EL素子が知られている。図5に、かかる有機EL素子の概略構成を示す。図5において、ガラス基板301の上面には透明電極302が形成されており、この透明電極302の上面には発光層303が形成されている。さらに、かかる発光層303の上面には金属電極304が形成されている。

【0003】図6は、有機EL素子を等価的に表した電気回路図である。一般に有機EL素子は図6に示されるが如く、回路抵抗成分Rと、容量成分Cと、発光成分Dとにより等価的に表される、容量性の発光素子であると考えられている。

【0004】従って、有機EL素子は、図5に示すスイッチ305によって発光駆動電圧306が、透明電極302と金属電極304間に印加されると、先ず、素子の電気容量に相当する電荷が電極に変位電流として流れ込み蓄積される。続いて一定の電圧（障壁電圧）を越えると、電極から有機層に電流が流れ始め、この電流に比例して発光が始まる。

【0005】さらに、複数の有機EL素子を用いた表示装置の例を図7を参照しつつ説明する。このような表示装置は図7に示すように、陰極線走査回路51と陽極線ドライブ回路52と表示パネル55とから構成される。陰極線走査回路51と表示パネル55とは接続部を構成する接続端子b1～bnを介して接続され、陽極線ドライブ回路52と表示パネル55とは同じく接続部を構成する接続端子a1～amを介して接続されている。

【0006】図7の駆動方法は、単純マトリクス駆動方式と呼ばれるもので、陽極線A1～Amと陰極線B1～Bnをマトリクス（格子）状に配置し、このマトリクス状に配置した陽極線と陰極線の各交点位置に有機EL素子E1,1～Em,nを接続し、この陽極線または陰極線のいずれか一方を一定の時間間隔で順次選択して走査すると共に、この走査に同期して他方の線を駆動源たる電流源521～52mでドライブしてやることにより、任意の交点位置の有機EL素子を発光させるようにしたものである。

【0007】有機EL素子のドライブ法には、陰極線走

査・陽極線ドライブ、陽極線走査・陰極線ドライブの2つの方法があるが、図7は、陰極線走査・陽極線ドライブの場合を示しており、陰極線B1～Bnに陰極線走査回路51を接続すると共に、陽極線A1～Anに電流源521～52nからなる陽極線ドライブ回路52を接続したものである。陰極線走査回路51は、スイッチ531～53nを一定時間間隔で順次アース端子側へ切り換えながら走査していくことにより、陰極線B1～Bnに対してアース電位(0V)を順次与えていく。

【0008】また、陽極線ドライブ回路52は、前記陰極線走査回路51のスイッチ走査に同期してスイッチ541～54nをオン・オフ制御することにより陽極線A1～Anに電流源521～52nを接続し、所望の交点位置の有機EL素子に駆動電流を供給する。

【0009】例えば、有機EL素子E2,1～E3,1を発光させる場合を例に採ると、図7に示すように、陰極線走査回路51のスイッチ531がアース側に切り換えられ、第1の陰極線B1にアース電位が与えられている時に、陽極線ドライブ回路52のスイッチ542と543を電流源側に切り換え、陽極線A2とA3に電流源522と523を接続してやれば良い。このような走査とドライブを高速で繰り返すことにより、任意の位置の有機EL素子を発光させると共に、各有機EL素子があたかも同時に発光しているように制御するものである。

【0010】走査中の陰極線B1以外の他の陰極線B2～Bnには電源電圧と同電位の逆バイアス電圧Vccを印加してやることにより、誤発光を防止している。なお、図7では、駆動源として電流源521～52nを用いたが、電圧源を用いても同様に実現することができる。

【0011】図8は、上述した構成の有機EL素子を用いた有機EL表示装置の構成を示すブロック図である。同図において、101はA/D変換回路、103はフレームメモリ、104はコントローラ、105は走査回路、106は書き込み回路、107は電源回路、109は表示パネルを示す。

【0012】A/D変換回路101は、アナログ映像信号入力を受けてデジタル映像信号データに変換する。変換されたデジタル映像信号はA/D変換回路101からフレームメモリ103へ供給され、コントローラ104の制御により書き込み蓄積される。コントローラ104は、入力映像信号の水平及び垂直同期信号に同期してフレームメモリ103他電源回路107までの各回路を制御する。

【0013】フレームメモリ103に蓄積されたデジタル映像信号データは、コントローラ104によって読み出され、書き込み回路106に送られる。また、表示パネルの各行及び列に接続された書き込み回路106及び走査回路105をコントローラ104で順次制御することにより、フレームメモリに蓄積されていた画像に対応

した表示パネル109の有機EL素子の発光を制御して所望の画像表示が得られる。電源回路107は、表示パネル109の全有機EL素子への電源を供給する。

【0014】有機EL表示装置はこのように構成されるが、この有機EL表示装置を用いて上述したような単純マトリクス駆動等の線順次駆動を行なうと、配線抵抗の増加や瞬時輝度の確保のために消費電力が増加するという問題がある。このため、有機EL表示装置では、各画素に対応する有機EL素子をアクティブマトリクス駆動により発光制御することが望ましい。

【0015】一方、有機EL素子は、発光を持続するメモリ性を有しないため、有機EL表示装置では、FET等のTFT(薄膜トランジスタ)を用いてメモリ性をもたせるように回路構成して各画素の駆動時における発光を維持している。

【0016】図9は、上記アクティブマトリクス駆動による発光制御を行うための表示パネルの単位画素に対応する回路構成の一例を示した図である。同図において、FET(Field Effect Transistor)201(アドレス選択用トランジスタ)のゲートGは、走査回路105からの行を走査する走査信号が供給されるアドレス走査電極線を形成し、一方FET201のソースSは、書き込み回路106からのフレームメモリ103のデータに対応した信号が供給されるデータ電極線を形成している。

【0017】FET201のドレインDはFET202(ドライブ用トランジスタ)のゲートGに接続され、キャパシタ(コンデンサ)203を通じて接地されている。FET202のソースSは接地され、ドレインDは有機EL素子205の陰極に接続され、有機EL素子205の陽極を通じて電源に接続されている。なお、各画素の有機EL素子205が有する陽極は共通電極を形成し、この共通電極が上述した電源に接続されている。

【0018】次に、このような回路が行及び列に複数配列して構成された表示パネルの単位画素の発光制御動作について述べる。先ず、図9においてFET201のゲートGにオン電圧が供給されると、FET201はソースSに供給されるデータの電圧に対応した電流をソースSからドレインDへ流す。

【0019】FET201のゲートGがオフ電圧であるとFET201はいわゆるカットオフとなり、FET201のドレインDはオープン状態となる。従って、FET201のゲートGがオン電圧の期間に、ソースSの電圧に基づいた電流でキャパシタ203が充電され、その電圧がFET202のゲートGに供給されてFET202はそのゲート電圧と電源から有機EL素子205を通じて供給されるドレインDにかかる電圧に基づいた電流が有機EL素子205を通じてドレインDからソースSへ流れ、有機EL素子205を発光せしめる。

【0020】FET201のゲートGがオフ電圧になると、FET201はオープン状態となり、FET202

はキャパシタ203に蓄積された電荷によりゲートGの電圧が保持され、次の走査まで電流を維持し、有機EL素子205の発光も維持される。

【0021】なお、FET202のゲートGとソースS間にはゲート入力容量が存在するので、キャパシタ203を省略しても上記と同様の動作が可能である。

【0022】アクティブマトリクス駆動による発光制御を行うための表示パネルの単位画素に対応する回路はこのように構成され、画素が駆動された場合に当該画素の発光が維持される。また、各画素の輝度階調は、ゲートGにかかる電圧の振幅変調によって行われる。即ち、FET202は、ゲートGにかかる電圧によってソースS・ドレインDを流れる電流量が変化するため、有機EL表示装置の各部が、供給される映像信号に応じて、ゲートGにかかる電圧の大きさを調整することにより、有機EL素子205に流れる電流量つまり素子の瞬時輝度を調整することができる。

【0023】

【発明が解決しようとする課題】ところが、上述したような振幅変調によって輝度階調を行う表示パネルにおいては、ゲートGにかかる電圧値とソースS・ドレインD間を流れる電流値が非線形の関係にあるため、所望の瞬時輝度を得るための輝度調整が難しいという問題がある。

【0024】つまり、ゲートGにかかる電圧値を2倍にしても、ソースS・ドレインD間を流れる電流値は2倍にはならない（即ち、素子の瞬時輝度は2倍にならない）関係にあるため、所望の瞬時輝度を得るためには、トランジスタの電圧-電流特性を把握した上で、ゲートGにかかる電圧値を高精度で制御する必要があった。

【0025】本発明は上述の問題点を鑑みなされたものであり、簡単な構造で容易にしかも映像信号に応じて正確に輝度階調の表現（表示制御）を行なうことができる画像表示装置を提供することを目的とする。

【0026】

【課題を解決するための手段】請求項1記載の発明は、複数の画素がマトリクス状に配列されるEL素子を用いた画像表示装置であって、画素の各々は、駆動電極からの駆動電流が供給されるEL素子と、EL素子に直列に接続され、ゲートに電荷が保持される場合にEL素子を通電可能とするドライブ用トランジスタと、EL素子の発光するか否かを決定すると共に発光する場合はトランジスタのゲートに電荷を供給する発光決定手段とを備えて構成され、全ての画素の発光又は非発光を決定するアドレス期間においては駆動電極からの電流が全ての画素に供給されないようにすると共に、アドレス期間終了後には駆動電極からの電流を画素に供給させるようにしたことを特徴とする。

【0027】また、請求項2記載の発明は、複数の画素がマトリクス状に配列されるEL素子を用いた画像表示

装置であって、画素の各々は、駆動電極からの駆動電流が供給されるEL素子と、EL素子に直列に接続され、ゲートに電荷が保持される場合にEL素子を通電可能とするドライブ用トランジスタと、EL素子の発光するか否かを決定すると共に発光する場合はトランジスタのゲートに電荷を供給する発光決定手段と、全ての画素の発光又は非発光を決定するアドレス期間においては駆動電極からの電流が全ての画素に供給されないようにすると共に、アドレス期間終了後には駆動電極からの電流を画素に供給させるスイッチ手段とから構成されることを特徴とする。

【0028】また、請求項3記載の発明は、請求項1又は2に記載の画像表示装置において、画素の全てにおいて、発光決定手段がドライブ用のトランジスタのゲートに供給する電位は同一電位であることを特徴とする。

【0029】また、請求項4記載の発明は、請求項1乃至3に記載の画像表示装置において、発光決定手段は、アドレス選択用のトランジスタからなるものであり、そのソースがデータ電極線に接続され、ゲートがアドレスデータ電極線に接続され、ドレインがドライブ用のトランジスタに接続されることを特徴とする。

【0030】また、請求項5記載の発明は、請求項1乃至4に記載の画像表示装置において、ドライブ用のトランジスタのゲートには電荷保持用のコンデンサが接続されていることを特徴とする。

【0031】また、請求項6記載の発明は、請求項1乃至5に記載の画像表示装置において、スイッチ手段は、駆動電極とドライブ用のトランジスタの間に設けられるものであることを特徴とする。

【0032】また、請求項7記載の発明は、請求項1乃至6に記載の画像表示装置において、画像表示装置は、サブフィールド2ⁿ階調法による輝度階調を表現することを特徴とする。

【0033】また、請求項8記載の発明は、請求項1乃至7に記載の画像表示装置において、EL素子は、有機化合物からなる発光層を有することを特徴とする。

【0034】

【作用】本発明は以上のように構成したので、発光表示装置は、複数の画素がマトリクス状に配列される各EL素子に直列に接続された各トランジスタのゲートに電荷が保持される場合に、各EL素子に電流が流れるように制御し、EL素子を発光させる場合は、発光決定手段が、対応するトランジスタのゲートに電荷を供給し、複数の画素の全ての発光又は非発光を決定するアドレス期間においては、駆動電極と複数の画素との全ての接続を断すると共に、アドレス期間終了後に駆動電極と複数の画素とを接続するアクティブマトリクス駆動制御を行なうようにしたので、各画素においてEL素子の瞬時輝度をそれぞれ一定にできると共に、2ⁿサブフィールド法等の発光時間の長さに基づいた輝度調整が可能である

ため、輝度階調の表示を正確に行うことができる。

【0035】

【発明の実施の形態】次に、本発明に好適な実施形態について図面をもとに説明する。本実施形態における発光表示装置は、表示パネルの各画素に有機EL素子を用いるものとし、各画素は、2ⁿサブフィールド法に基く発光制御により輝度階調されるものとする。図1は、本発明における有機EL表示装置の主要構成を示すブロック図である。同図において、1はA/D変換器、2は列アドレスカウンタ、3は行アドレスカウンタ、4はフレームメモリ、5はマルチプレクサ、6はコントローラ、7は行ドライバ、8は列ドライバ、9は表示パネルを示す。

【0036】A/D変換回路1は、アナログ映像信号入力を受けてデジタル映像信号データに変換する。変換されたデジタル映像信号はA/D変換回路1からフレームメモリ4へ供給され1フレーム単位のデジタル映像信号データが一旦フレームメモリ4に記憶される。

【0037】一方、コントローラ6は、相異なる発光時間をパラメータとする複数（ここでは8つ）のサブフィールドによって、上記フレームメモリ4に記憶されたデジタル映像信号データを、列アドレスカウンタ2及び行アドレスカウンタ3を用いて制御することにより、複数（ここでは8つ）の階調表示データに変換し、それぞれ表示パネル9の画素のアドレスに対応する発光・非発光データと共に順次マルチプレクサ5に供給する。

【0038】また、コントローラ6は、マルチプレクサ5に供給された発光・非発光データの中から各サブフィールドに対応する列データを第1行目から順次画素の配列順にドライバ8が有するデータラッチ回路に保持させるように制御する。

【0039】コントローラ6は、データラッチ回路によって順次保持された各サブフィールド毎の列データを、1行単位で表示パネル9に供給すると共に、行ドライバ7によって対応する行が有する画素列において同時に発光させる。この動作は、1フレームのデータ単位で、第1サブフィールドから第8サブフィールドまでのそれぞれの列データに関して行われる（ここでは8回行われる）ので、表示パネル9の各画素は、供給される各サブフィールドに対応する累積発光時間だけ発光し、1フレーム分の発光表示を階調表示によって行うことができる。

【0040】なお、本実施形態に用いられる8つのサブフィールド（第1サブフィールド～第8サブフィールド）のデータは、所定の高さを有するパルスデータのパルス幅を2ⁿサブフィールド法に基く8種類の幅に設定している。即ち、第1サブフィールドから第8サブフィールドまでのデータが有するパルス幅の比率を第1サブフィールドから順に、それぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/256、と設

定することで、256通りの輝度階調表示に対応させている。

【0041】本発明における有機EL表示装置は、このように構成され、入力されるアナログ映像信号に対し、各サブフィールド毎に表示パネルの画面全体のアドレス走査による全面同時発光を繰り返すことにより、フレーム単位の発光表示を階調表示によって行う。

【0042】次に、表示パネル9が有する1画素周辺の構成について説明する。図2は、図1における表示パネル9の1画素に対応する回路構成の一例を示した図である。また、図2に示す回路構成は、先に述べた図9に示す各回路構成に加えて切替スイッチ10を有機EL素子205の陽極側に設けて、電源V_{oc}とアース端子との切替接続が可能ないように構成される。

【0043】また、有機EL素子205は表示パネル9の各画素に対応して複数設けられているが、図2に示すように、各画素に対応する有機EL素子205の陽極は、互いに電氣的に接続された共通電極を構成している。表示パネル9の1画素に対応する回路は以上のように構成され、このような回路が行及び列に対応して複数配列して表示パネル9を構成する。

【0044】次に、コントローラ6が、フレームメモリ4に記憶されたデジタル映像信号データに基づいて表示パネル9を階調表示による発光制御動作について詳述する。まず、コントローラ6は、デジタル映像信号データがフレームメモリ4に供給されると、1フレーム分のデジタル映像信号データをフレームメモリ4に書き込む。

【0045】次に、コントローラ6は、マルチプレクサ5に対し第1サブフィールド（1/2）のデータを出力する旨の指令を出す。次に、コントローラ6は、行アドレスカウンタ3に対して第1行を指定する旨の指令を出すと共に、列アドレスカウンタ2に対して第1列を指定する旨の指令を出す。

【0046】このことにより、指定されたアドレス（第1行、第1列）の1フレーム分のデジタル映像信号データが8つの階調表示データに変換され、表示パネル9の画素のアドレスに対応する発光・非発光データを含んだデータとして順次マルチプレクサ5に供給される。

【0047】次に、コントローラ6は、マルチプレクサ5に供給された上記指定されたアドレス（第1行、第1列）のデータの中から第1サブフィールドのデータを列ドライバ8に出力する。列ドライバ8では、列ドライバ8が有するデータラッチ回路によってこのデータを保持する。

【0048】次に、コントローラ6は、列アドレスカウンタ2に対して列を1つ更新する指令を出す。即ち、列アドレスカウンタ2に対して第2列を指定する旨の指令を出す。このことにより、アドレス（第1行、第2列）が指定され、先に述べたアドレス（第1行、第1列）が指定された場合と同様の動作を繰り返す。

【0049】このようにして、コントローラ6は、第1行の各列に対し順次同様の動作を繰り返すことにより、第1行の全ての列のデータを列ドライバ8が有するデータラッチ回路の保持させる。

【0050】次に、コントローラ6は、行アドレスカウンタ3を第2行に指定する旨の指令を出すと共に、列アドレスカウンタ2を第1列に指定する旨の指令を出して先に述べた第1行の場合と同様に第2行のデータラッチを行うように制御する。

【0051】またこの動作と同時に、コントローラ6は、列ドライバ8及び行ドライバ7を駆動して、各画素に設けられた回路(図2参照)を後述する手順により動作させ、既に列ドライバ8のデータラッチ回路に保持されている第1行のデータをそれぞれ対応する各列の画素に書き込ませる。

【0052】次に、コントローラ6は、行アドレスカウンタ3を第3行に指定する旨の指令を出すと共に、列アドレスカウンタ2を第1列に指定する旨の指令を出して先に述べた第1行及び第2行の場合と同様に第3行のデータラッチを行うように制御する。

【0053】またこの動作と同時に、コントローラ6は、列ドライバ8及び行ドライバ7を駆動して、後述する手法により、既に列ドライバ8のデータラッチ回路に保持されている第2行のデータをそれぞれ対応する各列の画素に書き込ませる。

【0054】コントローラ6は、このような動作を全ての行に亘って行うことにより、第1サブフィールドのデータを全ての画素に対応して書き込むことができる。次に、コントローラ6は、各画素の共通電極である有機EL素子205の陽極側に接続される切替スイッチ10を電源V_{oc}側に切替えて表示パネル9の全部の画素を一斉に発光制御する。このことにより、表示パネル9は、第1サブフィールドのデータに対応した発光がなされる。

【0055】次に、マルチプレクサ5に対し第2サブフィールド(1/4)のデータを出力する旨の指令を出す。以下、コントローラ6は、先に述べた第1サブフィールドの場合と同様の動作を繰り返し、第2サブフィールドのデータに対応した発光がなされる。

【0056】このようにして、第1サブフィールドから第8サブフィールド(1/256)までに対応した発光がなされ、第8サブフィールドの発光が終了した時点で1フレームの駆動が完了する。その後、コントローラ6は、フレームメモリ4に記憶されるデータを次のフレームに対応するデータに書き替えて、次のフレームの発光制御を行う。

【0057】次に、コントローラ6が、列ドライバ8及び行ドライバ7を駆動して、各画素に第1サブフィールドから第8サブフィールドまでの各データを順次書き込んで発光させるために、各画素に設けられた回路(図2

参照)を駆動させる動作手順を説明する。

【0058】図2において、コントローラ6は、切替スイッチ10をアース端子側に切替えて、各画素に対応する有機EL素子205の陽極側である共通電極を接地させて、各有機EL素子205が発光しないようにする。

【0059】次に、コントローラ6は、全ての画素の発光又は非発光を決定するアドレス期間の第1行に対応する所定期間内において、先ず行ドライバ7によって第1行のアドレス走査電極線を走査し、次に列ドライバ8のデータラッチ回路に保持された第1サブフィールドのデータをデータ電極線を通じて第1行の各列の画素に対応して入力する。

【0060】ここで、アドレス走査電極線は走査が行われていない場合には、Lの期間となり前回のON、OFFの状態を保持しているが、走査が行われる場合には、アドレス走査電極線がHの期間となり、データ電極線に入力されるデータに応じて電荷がキャパシタ203に溜まり、電圧Vが保持される。

【0061】従って、第1行のアドレス走査電極線が走査され、データが入力された場合には、第1行の各列に対応する各キャパシタ203は、入力されるデータの電位に応じた電荷が溜まることになる。なお、データ電極線の電位が0V(接地)の場合には、キャパシタ203には電荷が溜まらず、対応する画素はOFFとなる。

【0062】このことにより、列ドライバ8のデータラッチ回路に保持された第1サブフィールドのデータがデータ電極線を通じて第1行の各列の画素に対応して入力される。このデータにより、発光させるべき画素に対しては対応するFET201のゲートGにオン電圧が加わり、発光させない画素に対しては対応するFET201のゲートGにオフ電圧が加わる。

【0063】次に、コントローラ6は、第2行の走査を行い、上述した第1行の場合と同様に第2行の各列に対応する画素に対する第1サブフィールドのデータをデータ電極線を通じて入力する。このようにして、コントローラ6が全行についての走査が終了すると、発光させるべき画素に対しては、そのFET202に直列に接続されたキャパシタ203に電荷が溜まり、FET202のゲート電位がVとなる。また、発光しない画素に対しては、FET202のゲート電位が0となる。

【0064】この状態で、コントローラ6は、切替スイッチ10を電源V_{oc}側に切替えることにより、各画素の有機EL素子205に共通な陽極である共通電極に、電圧(V_{oc})を第1サブフィールドのデータに対応する時間だけ印加する。このことにより、各画素の有機EL素子205には一斉に電圧(V_{oc})が加わることとなるが、この場合に、FET202のゲート電位がVとなる有機EL素子には、第1サブフィールドのデータに対応する時間だけ電流が流れて発光するが、FET202のゲート電位が0となる有機EL素子には、電流が流

れず、従って発光しない。

【0065】次に、コントローラ6は、アドレス期間の第2行に対応する所定期間内において、上述した第1行に対応する所定期間内における制御動作と同様、各行各列の画素に対し、第2サブフィールドのデータに対応した発光制御を行う。

【0066】図3は、コントローラ6が上記各サブフィールド毎に行う発光制御のタイミングを示す図である。

【0067】このようにして、コントローラ6は、各行各列の画素に対し、1つのアドレス期間終了から次のアドレス期間開始までの発光期間において、順次第1サブフィールドのデータから第8サブフィールドのデータまでに対応して発光を繰り返すように制御することにより、図4に示すように、デジタル映像信号データの1フレーム毎に、各画素を256通りの累積発光時間でそれぞれ発光させることができ、表示パネル9を256通りの輝度階調表示によって発光させる。

【0068】なお、本実施形態においては、各画素に対応するFET202のゲートに直列に電荷保持用のキャパシタ203を設けるようにしたが、FET202自体が容量性を有するのでFET202に電荷を保持させるようにしても良い。

【0069】また、切替スイッチ10は、FET202のドレイン側に設けてもよく、この場合、切替スイッチ10は、電源V_{cc}と同電位の端子もしくはアース端子のいずれか一方に対し接続可能とされるものである。そして、アドレス期間のときは切替スイッチ10を電源V_{cc}と同電位の端子に接続し、発光期間のときは切替スイッチ10をアース端子に接続する。また、FET201、202は、一般的な3端子トランジスタであれば利用可能である。

【0070】また、本実施形態においては、表示パネルの発光素子に有機EL素子を用いて説明したが、発光素子はこれに限らず、電流を流すことにより自発光を行うEL素子であれば良い。

【0071】

【発明の効果】本発明は以上のように構成したため、発光表示装置は、複数の画素がマトリクス状に配列される各EL素子に直列に接続された各トランジスタのゲートに電荷が保持される場合に、各EL素子に電流が流れるように制御し、EL素子を発光させる場合は、発光決定手段が、対応するトランジスタのゲートに電荷を供給し、複数の画素の全ての発光又は非発光を決定するアド

レス期間においては、駆動電極と複数の画素との全ての接続を断すると共に、アドレス期間終了後に駆動電極と複数の画素とを接続するアクティブマトリクス駆動制御を行なうようにしたので、各画素においてEL素子の瞬時輝度をそれぞれ一定にできると共に、2ndサブフィールド法等の発光時間の長さに基づいた輝度調整が可能であるため、輝度階調の表示を正確に行うことができる。

【図面の簡単な説明】

【図1】本発明における有機EL表示装置の主要構成を示すブロック図である。

【図2】図1における表示パネルの1画素に対応する回路構成の一例を示した図である。

【図3】コントローラが上記各サブフィールド毎に行う発光制御のタイミングを示す図である。

【図4】デジタル映像信号データの1フレーム期間における発光タイミングを示す図である。

【図5】有機EL素子の概略構成を示す図である。

【図6】有機EL素子を等価的に表した電気回路図である。

【図7】有機EL素子の単純マトリクス駆動方式を示す図である。

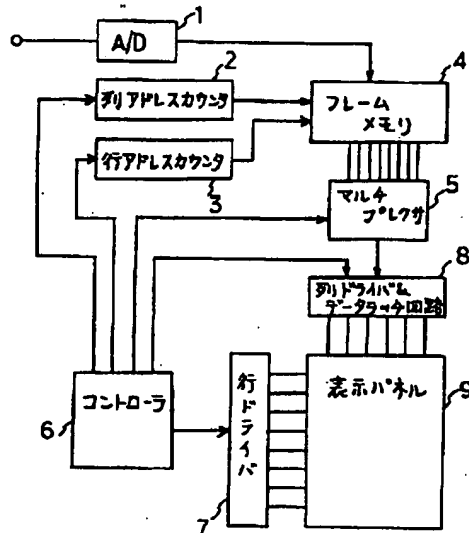
【図8】単純マトリクス駆動方式を用いた有機EL表示装置の構成を示すブロック図である。

【図9】アクティブマトリクス駆動による発光制御を行うための表示パネルの単位画素に対応する回路構成の一例を示した図である。

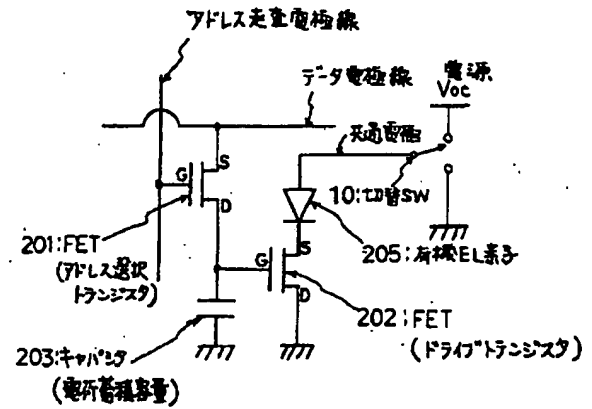
【符号の説明】

- 1・・・A/D変換器
- 2・・・列アドレスカウンタ
- 3・・・行アドレスカウンタ
- 4・・・フレームメモリ
- 5・・・マルチプレクサ
- 6・・・コントローラ
- 7・・・行ドライバ
- 8・・・列ドライバ
- 9・・・表示パネル
- 10・・・切替スイッチ
- 201・・・FET
- 202・・・FET
- 203・・・キャパシタ
- 205・・・有機EL素子

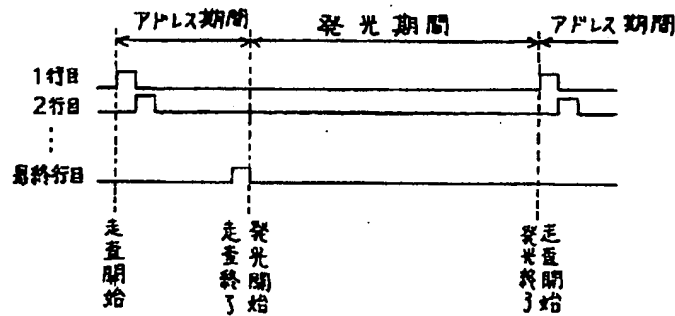
【図1】



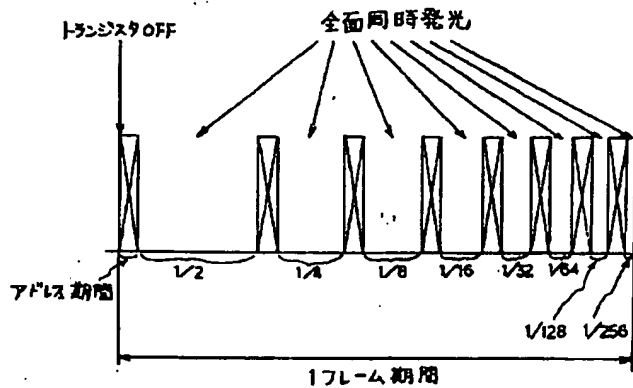
【図2】



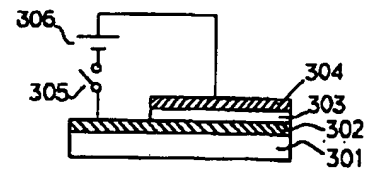
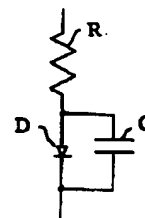
【図3】



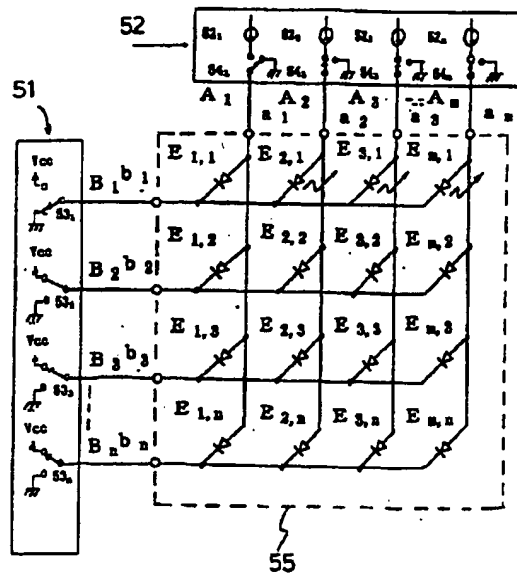
【図4】



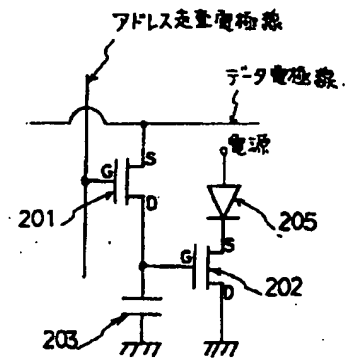
【図6】



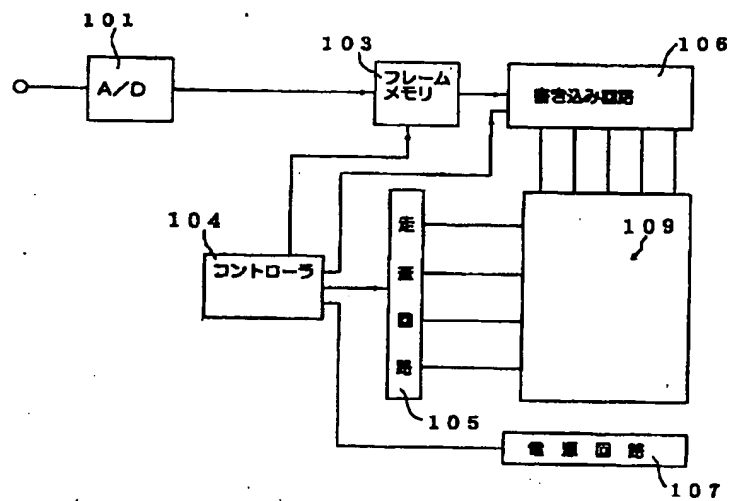
【図7】



【図9】



【図8】



Japanese Laid-open Patent

Japanese Patent Laid-Open Number: 10-312173

Laid-open Date: November 24, 1998

Application Number: 9-136010

Filing Date: May 9, 1997

Applicant: PIONNER ELECTRON CORPORATION

Inventor: Yoshisuke Ushikusa

SPECIFICATION

[Title of the Invention] IMAGE DISPLAY DEVICE

[Summary]

[Problem] An object is to provide an image display device which can make expression (display control) of brightness gradation with ease by a simple structure and with accuracy in accordance with a video signal.

[Solving Means] An image display device uses EL elements in which a plurality of pixels are arranged in a matrix form, each of the plurality pixels includes a single EL element which can be connected to a drive electrode, a transistor connected in series with the EL element and enabling a current to flow to the EL element in a case where an electric charge is held by a gate, and light emission determining means for determining whether or not the EL element is made to emit light and for supplying the electric charge to the gate of the transistor in a case where light is emitted, and the device is characterized in that in an address period for determining light emission or light non-emission of all the pixels, all connections between the driver electrode and the plurality of pixels are turned off, and after the address period is ended, the drive electrode and the plurality of pixels are connected to each other.

[Scope of Patent Claim]

[Claim 1] An image display device using EL elements in which a plurality of pixels are arranged in a matrix form, characterized in that

each of the pixels includes an EL element to which a driving

current is supplied from a drive electrode,

a driving transistor connected in series with the EL element and enabling a current to flow to the EL element in a case where an electric charge is held by a gate, and

light emission determining means for determining whether or not the EL element is made to emit light and for supplying the electric charge to the gate of the transistor in a case where light is emitted, and that

in an address period for determining light emission or light non-emission of all the pixels, the current from the drive electrode is made not to be supplied to all the pixels, and after the address period is ended, the current from the drive electrode is made to be supplied to the pixels.

[Claim 2] An image display device using EL elements in which a plurality of pixels are arranged in a matrix form, characterized in that

each of the pixels includes an EL element to which a driving current is supplied from a drive electrode,

a driving transistor connected in series with the EL element and enabling a current to flow to the EL element in a case where an electric charge is held by a gate,

light emission determining means for determining whether or not the EL element is made to emit light and for supplying the electric charge to the gate of the transistor in a case where light is emitted, and

switch means for preventing the current from the drive electrode from being supplied to all the pixels in an address period for determining light emission or light non-emission of all the pixels, and for supplying the current from the drive electrode to the pixels after the address period is ended.

[Claim 3] An image display device as claimed in claim 1 or 2, characterized in that a potential supplied to the gate of the driving transistor by the light emission determining means is the same potential in all the pixels.

[Claim 4] An image display device as claimed in any one of claims 1 to 3, characterized in that the light emission determining means is made of an address selecting transistor, its source is connected to a data electrode line, its gate is connected to an address data electrode line, and its drain is connected to the driving

transistor.

[Claim 5] An image display device as claimed in any one of claims 1 to 4, characterized in that an electric charge holding capacitor is connected to the gate of the driving transistor.

[Claim 6] An image display device as claimed in any one of claims 1 to 5, characterized in that the switch means is provided between the drive electrode and the driving transistor.

[Claim 7] An image display device as claimed in any one of claims 1 to 6, characterized in that the image display device expresses brightness gradation by a subfield 2ⁿ gradation method.

[Claim 8] An image display device as claimed in any one of claims 1 to 7, characterized in that the EL element includes a light emitting layer made of an organic compound.

[Detailed Description of the Invention]

[0001]

[Technical Field to Which the Invention belongs]

The present invention relates to a display device using an electroluminescence element (EL element) such as an organic electroluminescence element (hereinafter referred to as an organic EL element).

[0002]

[Prior Art]

Conventionally, there is known an organic EL element in which a current is made to flow through a fluorescent material formed on a glass plate or a transparent organic film to cause light emission. Fig. 5 shows a schematic structure of such an organic EL element. In Fig. 5, a transparent electrode 302 is formed on an upper surface of a glass substrate 301, and a light emitting layer 303 is formed on an upper surface of the transparent electrode 302. Further, a metal electrode 304 is formed on an upper surface of the light emitting layer 303.

[0003]

Fig. 6 is an electric circuit diagram equivalently expressing the organic EL element. In general, as shown in Fig. 6, it is considered that the organic EL element is a capacitive light emitting element which is equivalently expressed by a circuit resistance component R, a capacitance component C, and a light emitting component D.

[0004]

Accordingly, when a light emission driving voltage 306 is applied between the transparent electrode 302 and the metal electrode 304 by a switch 305 shown in Fig. 5, first, an electric charge corresponding to the electric capacitance of the element flows as a displacement current to the electrode and is stored. Subsequently, when it exceeds a certain voltage (barrier voltage), a current starts to flow from the electrode to the organic layer, and light emission starts in proportion to this current.

[0005]

Further, an example of a display device using a plurality of organic EL elements will be described with reference to Fig. 7. As shown in Fig. 7, the display device like this is constituted of a cathode line scanning circuit 51, an anode line driving circuit 52, and a display panel 55. The cathode line scanning circuit 51 is connected to the display panel 55 through connection terminals b_1 to b_n constituting a connection portion, and the anode line driving circuit 52 is connected to the display panel 55 through connection terminals a_1 to a_m constituting a connection portion.

[0006]

A driving method of Fig. 7 is one called a simple matrix driving method, and is devised such that anode lines A_1 to A_m and cathode lines B_1 to B_n are arranged in a matrix form, organic EL elements $E_{1,1}$ to $E_{m,n}$ are connected to respective intersection positions of the anode lines and the cathode lines arranged in the matrix form, either one group of the anode lines and the cathode lines are sequentially selected and scanned at constant time intervals, and the other lines are driven by current sources 52_1 to 52_m as driving sources in synchronization with this scanning, so that the organic EL element at an arbitrary intersection position emits light.

[0007]

As the driving method of the organic EL elements, there are two methods, that is, cathode line scanning/anode line driving and anode line scanning/cathode line driving. Fig. 7 shows the case of the cathode line scanning/anode line driving in which the cathode line scanning circuit 51 is connected to the cathode lines B_1 to B_n , and the anode line driving circuit 52 made of the current sources 52_1 to 52_m is connected to the anode lines A_1 to A_m . The cathode line scanning circuit 51 scans while sequentially changing over switches 53_1 to 53_n to the earth terminal side at constant time intervals,

so that an earth potential (0V) is sequentially given to the cathode lines B_1 to B_n .

[0008]

Besides, the anode line driving circuit 52 makes on and off control of switches 54_1 to 54_m in synchronization with the switch scanning of the cathode line scanning circuit 51, so that the current sources 52_1 to 52_m are connected to the anode lines A_1 to A_m and a driving current is supplied to the organic EL elements at desired intersection positions.

[0009]

For example, when a case in which the organic EL elements $E_{2,1}$ to $E_{3,1}$ are made to emit light is cited as an example, as shown in Fig. 7, the switch 53_1 of the cathode line scanning circuit 51 is changed over to the earth side, and when the earth potential is given to the first cathode line B_1 , the switches 54_2 and 54_3 of the anode line driving circuit 52 are changed over to the current source side, so that the current source 52_2 and 52_3 are connected to the anode lines A_2 and A_3 . By repeating such scanning and driving at high speed, the organic EL element at an arbitrary position is made to emit light, and control is made as if the respective organic EL elements emit light at the same time.

[0010]

A reverse bias voltage V_{cc} of the same potential as the power supply voltage is applied to the cathode lines B_2 to B_n other than the cathode line B_1 under scanning, so that erroneous light emission is prevented. Incidentally, in Fig. 7, although the current sources 52_1 to 52_m are used as driving sources, even if voltage sources are used, it can be realized in the same way.

[0011]

Fig. 8 is a block diagram showing a structure of an organic EL display device using the organic EL element having the foregoing structure. In the figure, reference numeral 101 designates an A/D conversion circuit; 103, a frame memory; 104, a controller; 105, a scanning circuit; 106, a writing circuit; 107, a power supply circuit; and 109, a display panel.

[0012]

The A/D conversion circuit 101 receives an analog video signal and converts it into digital video signal data. The converted digital video signal is supplied from the A/D conversion circuit

101 to the frame memory 103, and is written and stored through the control of the controller 104. The controller 104 controls the frame memory 103 and the other respective circuits up to the power supply circuit 107 in synchronization with the horizontal and vertical synchronous signals of the input video signal.

[0013]

The digital video signal data stored in the frame memory 103 is read out by the controller 104, and is sent to the writing circuit 106. Besides, the controller 104 sequentially controls the writing circuit 106 and the scanning circuit 105 connected to respective rows and columns of the display panel, so that light emission of the organic EL elements of the display panel 109 corresponding to an image stored in the frame memory is controlled and a desired image display is obtained. The power supply circuit 107 supplies power to all the organic EL elements of the display panel 109.

[0014]

Although the organic EL display device is constructed in this way, if line sequential driving such as the foregoing simple matrix driving is performed using this organic EL display device, there is a problem in that consumed electric power is increased because of an increase of wiring resistance or in order to secure instantaneous brightness. For this account, in the organic EL display device, it is desirable to control the light emission of organic EL elements corresponding to respective pixels by active matrix driving.

[0015]

On the other hand, since the organic EL element does not have a memory property for keeping light emission, in the organic EL display device, a circuit is constructed so as to have the memory property by using a TFT (thin film transistor) such as an FET, so that the light emission of the respective pixels at the time of driving is kept.

[0016]

Fig. 9 is a view showing an example of a circuit structure corresponding to a unit pixel of a display panel for making light emission control by the active matrix driving. In the figure, a gate G of an FET (Field Effect Transistor) 201 (address selecting transistor) forms an address scanning electrode line to which a scanning signal for scanning a row is supplied from the scanning

circuit 105, and on the other hand, a source S of the FET 201 forms a data electrode line to which a signal corresponding to data of the frame memory 103 is supplied from the writing circuit 106.

[0017]

A drain D of the FET 201 is connected to a gate G of an FET 202 (driving transistor) and is grounded through a capacitor (condenser) 203. A source S of the FET 202 is grounded, and a drain D is connected to a cathode of an organic EL element 205 and is connected to a power supply through an anode of the organic EL element 205. Incidentally, the anode included in the organic EL element 205 of each of the pixels forms a common electrode, and this common electrode is connected to the foregoing power supply.

[0018]

Next, a light emission control operation of a unit pixel of a display panel which is constituted of a plurality of such circuits arranged in rows and columns will be described. First, in Fig. 9, when an on voltage is supplied to the gate G of the FET 201, the FET 201 causes a current corresponding to a voltage of data supplied to the source S to flow from the source S to the drain D.

[0019]

If the gate G of the FET 201 is in an off voltage, the FET 201 becomes in a so-called cut off state, and the drain D of the FET 201 becomes in an open state. Thus, in a period when the gate G of the FET 201 is in the on voltage, the capacitor 203 is charged by a current based on the voltage of the source S. The voltage is supplied to the gate G of the FET 202, and in the FET 202, a current based on the gate voltage and a voltage supplied from the power supply through the organic EL element 205 and applied to the drain D flows from the drain D to the source S through the organic EL element 205, so that the organic EL element 205 is made to emit light.

[0020]

When the gate G of the FET 201 comes to have the off voltage, the FET 201 becomes in the open state, and in the FET 202, the voltage of the gate G is held by the electric charge stored in the capacitor 203. The current is kept until next scanning, and the light emission of the organic EL element 205 is also kept.

[0021]

Incidentally, since a gate input capacitance exists between

the gate G and the source S of the FET 202, even if the capacitor 203 is omitted, the same operation as the above is possible.

[0022]

The circuit corresponding to the unit pixel of the display panel for performing the light emission control by the active matrix driving is constructed in this way, and the light emission of the pixel is kept in the case where the pixel is driven. The brightness gradation of each pixel is performed by amplitude modulation of a voltage applied to the gate G. That is, in the FET 202, since the amount of current flowing between the source S and the drain D is changed by a voltage applied to the gate G, if the respective portions of the organic EL display device adjust the voltage applied to the gate G in accordance with a supplied video signal, it is possible to adjust the amount of current flowing through the organic EL element 205, that is, instantaneous brightness of the element.

[0023]

[Problem to be solved by the Invention]

However, in the display panel which performs the brightness gradation by the foregoing amplitude modulation, since there is a nonlinear relation between the value of the voltage applied to the gate G and the value of the current flowing between the source S and the drain D, there is a problem in that brightness adjustment for obtaining desired instantaneous brightness is difficult.

[0024]

That is, since there is such a relation that even if the value of the voltage applied to the gate G is doubled, the value of the current flowing between the source S and the drain D does not double (that is, the instantaneous brightness of the element does not double), in order to obtain desired instantaneous brightness, it has been necessary to control the value of the voltage applied to the gate G with high accuracy after voltage-current characteristic of the transistor is grasped.

[0025]

The present invention has been made in view of the foregoing problems, and has an object to provide an image display device which can make expression (display control) of brightness gradation with ease by a simple structure and with accuracy in accordance with a video signal.

[0026]

[Means for solving the Problem]

According to the present invention as claimed in claim 1, there is provided an image display device using EL elements in which a plurality of pixels are arranged in a matrix form, characterized in that each of the pixels includes: an EL element to which a driving current is supplied from a drive electrode; a driving transistor connected in series with the EL element and enabling a current to flow to the EL element in a case where an electric charge is held by a gate; and light emission determining means for determining whether or not the EL element is made to emit light and for supplying the electric charge to the gate of the transistor in a case where light is emitted, and that in an address period for determining light emission or light non-emission of all the pixels, the current from the drive electrode is made not to be supplied to all the pixels, and after the address period is ended, the current from the drive electrode is made to be supplied to the pixels.

[0027]

Besides, according to the present invention as claimed in claim 2, there is provided an image display device using EL elements in which a plurality of pixels are arranged in a matrix form, characterized in that each of the pixels includes an EL element to which a driving current is supplied from a drive electrode, a driving transistor connected in series with the EL element and enabling a current to flow to the EL element in a case where an electric charge is held by a gate, light emission determining means for determining whether or not the EL element is made to emit light and for supplying the electric charge to the gate of the transistor in a case where light is emitted, and switch means for preventing the current from the drive electrode from being supplied to all the pixels in an address period for determining light emission or light non-emission of all the pixels, and for supplying the current from the drive electrode to the pixels after the address period is ended.

[0028]

Besides, the present invention as claimed in claim 3, in the image display device as recited in claim 1 or 2, is characterized in that a potential supplied to the gate of the driving transistor by the light emission determining means is the same potential in all the pixels.

[0029]

Besides, the present invention as claimed in claim 4, in the image display device as claimed in any one of claims 1 to 3, is characterized in that the light emission determining means is made of an address selecting transistor, its source is connected to a data electrode line, its gate is connected to an address data electrode line, and its drain is connected to the driving transistor.

[0030]

Besides, the present invention as claimed in claim 5, in the image display device as claimed in any one of claims 1 to 4, is characterized in that an electric charge holding capacitor is connected to the gate of the driving transistor.

[0031]

Besides, the present invention as claimed in claim 6, in the image display device as claimed in any one of claims 1 to 5, is characterized in that the switch means is provided between the drive electrode and the driving transistor.

[0032]

Besides, the present invention as claimed in claim 7, in the image display device as claimed in any one of claims 1 to 6, is characterized in that the image display device expresses brightness gradation by a subfield 2ⁿ gradation method.

[0033]

Besides, the present invention as claimed in claim 8, in the image display device as recited in any one of claims 1 to 7, is characterized in that the EL element includes a light emitting layer made of an organic compound.

[0034]

[Operation]

Since the present invention is structured as described above, in the light emission display device, control is made such that the current flows to each EL element in the case where the electric charge is held by the gate of each transistor connected in series with each of the EL elements in which the plurality of pixels are arranged in the matrix form, and active matrix driving control is made such that the light emission determining means supplies the electric charge to the gate of the corresponding transistor in the case where the EL element is made to emit light, all connections

between the drive electrode and the plurality of pixels are turned off in the address period in which light emission or light non-emission of all of the plurality of pixels is determined, and the drive electrode and the plurality of pixels are connected to each other after the address period is ended. Thus, in each of the pixels, the instantaneous brightness of the EL element can be made constant, and the brightness adjustment based on the length of a light emission time such as a 2^n subfield method is possible, so that the display of the brightness gradation can be accurately performed.

[0035]

[Embodiment Mode of the Invention]

Next, a preferred embodiment of the present invention will be described with reference to the drawings. In a light emission display device of this embodiment, it is assumed that an organic EL element is used for each pixel of a display panel, and in each pixel, brightness gradation is performed by light emission control based on the 2^n subfield method. Fig. 1 is a block diagram showing a main structure of an organic EL display device according to the present invention. In the figure, reference numeral 1 designates an A/D converter; 2, a column address counter; 3, a row address counter; 4, a frame memory; 5, a multiplexer; 6, a controller; 7, a row driver; 8, a column driver; and 9, a display panel.

[0036]

The A/D conversion circuit 1 receives an analog video signal input and converts it into digital video signal data. The converted digital video signal is supplied from the A/D conversion circuit 1 to the frame memory 4, and the digital video signal data in a unit of one frame is once stored in the frame memory 4.

[0037]

On the other hand, the controller 6 controls the digital video signal data stored in the frame memory 4 by a plurality (here, eight) of subfields having different light emission times as parameters and by using the column address counter 2 and the row address counter 3, so that the data is converted into a plurality (here, eight) of gradation display data, and the respective data, together with light emission and light non-emission data corresponding to the address of the pixel of the display panel 9, are sequentially supplied to the multiplexer 5.

[0038]

Besides, the controller 6 makes control such that among light emission and light non-emission data supplied to the multiplexer 5, column data corresponding to the respective subfields is sequentially held by a data latch circuit included in the driver 8 in the order of arrangement of the pixels from the first line.

[0039]

The controller 6 supplies the column data for each of the subfields sequentially held by the data latch circuit to the display panel 9 in a unit of one row, and causes simultaneous light emission in pixel columns included in the corresponding row by the row driver 7. This operation is performed in a unit of one frame data with respect to the column data of each of the first subfield to the eighth subfield (here, the operation is performed eight times), so that each pixel of the display panel 9 emits light only in a cumulative light emission time corresponding to each of the supplied subfields, and a light emission display for one frame can be performed by the gradation display.

[0040]

Incidentally, in the data of the eight subfields (first subfield to eighth subfield) used in this embodiment, pulse widths of pulse data having a predetermined height are set to eight kinds of widths based on the 2ⁿ subfield method. That is, the ratios of the pulse widths included in the data from the first subfield to the eighth subfield are set to 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, and 1/256, so that they are made to correspond to 256 brightness gradation displays.

[0041]

The organic EL display device of the present invention is structured in this way, and repeats all surface simultaneous light emission by address scanning of the whole screen of the display panel for the respective subfields with respect to the inputted analog video signal, so that the light emission display in a unit of frame is performed by the gradation display.

[0042]

Next, a structure around one pixel included in the display panel 9 will be described. Fig. 2 is a view showing an example of a circuit structure corresponding to one pixel of the display panel 9 in Fig. 1. The circuit structure shown in Fig. 2 is constructed

such that in addition to the foregoing respective circuit structures shown in Fig. 9, a change-over switch 10 is provided at an anode side of an organic EL element 205, so that change-over connection between a power supply Voc and an earth terminal is possible.

[0043]

Besides, although a plurality of organic EL elements 205 are provided correspondingly to the respective pixels of the display panel 9, as shown in Fig. 2, anodes of the organic EL elements 205 corresponding to the respective pixels constitute common electrodes electrically connected to one another. The circuit corresponding to one pixel of the display panel 9 is constructed as described above, and a plurality of such circuits are arranged correspondingly to rows and columns so that the display panel 9 is constructed.

[0044]

Next, a detailed description will be given on a light emission control operation through the gradation display of the display panel 9 based on digital video signal data stored in the frame memory 4 and performed by the controller 6. First, when the digital video signal data is supplied to the frame memory 4, the controller 6 writes the digital video signal data of one frame into the frame memory 4.

[0045]

Next, the controller 6 instructs the multiplexer 5 to output data of the first subfield (1/2). Next, the controller 6 instructs the row address counter 3 to specify the first row, and instructs the column address counter 2 to specify the first column.

[0046]

By this, the digital video signal data of one frame at the specified address (first row, first column) is converted into eight gradation display data, and is sequentially supplied, as data including light emission and light non-emission data corresponding to the address of the pixel of the display panel 9, to the multiplexer 5.

[0047]

Next, the controller 6 outputs the data of the first subfield among the data of the specified address (first row, first column), which are supplied to the multiplexer 5, to the column driver 8. The column driver 8 holds the data by the data latch circuit included in the column driver 8.

[0048]

Next, the controller 6 instructs the column address counter 2 to renew the column by one. That is, the controller 6 instructs the column address counter 2 to specify the second column. By this, the address (first row, second column) is specified, and the same operation as the foregoing case where the address (first row, first column) is specified is repeated.

[0049]

In this way, the controller 6 sequentially repeats the same operation with respect to the respective columns of the first row, so that the data of all columns of the first row is made to be held by the data latch circuit included in the column driver 8.

[0050]

Next, the controller 6 instructs the row address counter 3 to specify the second row, instructs the column address counter 2 to specify the first column, and makes control to perform data latch of the second row similarly to the case of the foregoing first row.

[0051]

Besides, at the same time as this operation, the controller 6 drives the column driver 8 and the row driver 7 to operate the circuit (see Fig. 2) provided in each pixel in an after-mentioned procedure, so that the data of the first row already held by the data latch circuit of the column driver 8 is made to be written into the corresponding pixels of the respective columns.

[0052]

Next, the controller 6 instructs the row address counter 3 to specify the third row, instructs the column address counter 2 to specify the first column, and makes control to perform data latch of the third row similarly to the foregoing cases of the first row and the second row.

[0053]

Besides, at the same time as this operation, the controller 6 drives the column driver 8 and the row driver 7, so that the data of the second row already held by the data latch circuit of the column driver 8 is made to be written into the corresponding pixels of the respective columns by an after-mentioned method.

[0054]

The controller 6 makes the operation like this for all rows,

so that the data of the first subfield can be written correspondingly to all pixels. Next, the controller 6 changes over the change-over switch 10 connected to the side of the anode of the organic EL element 205 as the common electrode of the respective pixels to the side of the power supply Voc, so that light emission control is made for all pixels of the display panel 9 at the same time. By this, light emission corresponding to the data of the first subfield is made on the display panel 9.

[0055]

Next, the controller 6 instructs the multiplexer 5 to output data of the second subfield (1/4). Hereinafter, the controller 6 repeats the same operation as the foregoing first subfield, so that light emission corresponding to the data of the second subfield is made.

[0056]

In this way, light emission corresponding to from the first subfield to the eighth subfield (1/256) is made, and at the point of time when light emission of the eighth subfield is ended, driving of one frame is completed. Thereafter, the controller 6 rewrites the data stored in the frame memory 4 by data corresponding to a next frame, and makes light emission control of the next frame.

[0057]

Next, a description will be given on an operation procedure for driving the circuit (see Fig. 2) provided in each of the pixels such that the controller 6 drives the column driver 8 and the row driver 7 to sequentially write respective data of from the first subfield to the eighth subfield into the respective pixels to cause light emission.

[0058]

In Fig. 2, the controller 6 changes over the change-over switch 10 to the earth terminal side to ground the common electrode as the anode side of the organic EL element 205 corresponding to each of the pixels, so that each of the EL elements 205 is made not to emit light.

[0059]

Next, in a predetermined period corresponding to the first row in the address period for determining light emission or light non-emission of all the pixels, the controller 6 makes control such that first, the row driver 7 scans the address scanning electrode

line of the first row, and next, data of the first subfield held by the data latch circuit of the column driver 8 is inputted through the data electrode line correspondingly to the pixels of the respective columns of the first row.

[0060]

Here, in the case where scanning is not performed, the address scanning electrode line becomes in an L period, and holds a previous ON or OFF state. However, in the case where scanning is performed, the address scanning electrode line becomes in an H period, and an electric charge is stored in the capacitor 203 in accordance with the data inputted to the data electrode line, so that a voltage V is held.

[0061]

Thus, in the case where the scanning electrode line of the first row address is scanned and the data is inputted, the electric charge in accordance with the potential of the input data is stored in the respective capacitors 203 corresponding to the respective columns of the first row. In the case where the potential of the data electrode line is 0 V (earth), the electric charge is not stored in the capacitor 203, and the corresponding pixel is turned OFF.

[0062]

By this, the data of the first subfield held by the data latch circuit of the column driver 8 is inputted through the data electrode line correspondingly to the pixels of the respective columns of the first row. By this data, with respect to the pixel to be made to emit light, the on voltage is applied to the gate G of the corresponding FET 201, and with respect to the pixel to be made not to emit light, the off voltage is applied to the gate G of the corresponding FET 201.

[0063]

Next, the controller 6 performs scanning of the second row, so that the data of the first subfield with respect to the pixels corresponding to the respective columns of the second row is inputted through the data electrode line similarly to the foregoing case of the first row. In this way, when the controller 6 completes the scanning for all rows, with respect to the pixel to be made to emit light, the electric charge is stored in the capacitor 203 connected in series with the FET 202, and the gate potential of the FET 202 becomes V. With respect to the pixel which is made not

to emit light, the gate potential of the FET 202 becomes 0.

[0064]

In this state, the controller 6 changes over the change-over switch 10 to the power supply Voc side, so that the voltage (Voc) is applied to the common electrode as the anode common to the organic EL elements 205 of the respective pixels in a time corresponding to the data of the first subfield. By this, the voltage (Voc) is applied to the organic EL elements 205 of the respective pixels at the same time. In this case, although a current flows to the organic EL element, in which the gate potential of the FET 202 becomes V, in a time corresponding to the data of the first subfield to cause light emission, a current does not flow to the organic EL element in which the gate potential of the FET 202 becomes 0, and therefore, light emission does not occur.

[0065]

Next, in a predetermined period corresponding to the second row of the address period, similarly to the foregoing control operation in the predetermined period corresponding to the first row, the controller 6 performs light emission control corresponding to the data of the second subfield with respect to the pixels of the respective rows and the respective columns.

[0066]

Fig. 3 is a view showing timing of the light emission control performed by the controller 6 for the respective subfields.

[0067]

In this way, with respect to the pixels of the respective rows and the respective columns, in a light emission period from the end of one address period to the start of a next address period, the controller 6 makes control to sequentially repeat light emission correspondingly to the data from the first subfield to the eighth subfield. Thus, as shown in Fig. 4, each pixel can be made to emit light in 256 cumulative light emission times for each frame of the digital video signal data, and the display panel 9 is made to emit light in 256 brightness gradation displays.

[0068]

Incidentally, in this embodiment, although the capacitor 203 for holding the electric charge is provided in series with the gate of the FET 202 corresponding to each pixel, since the FET 202 itself has capacitance, the FET 202 may be made to hold the electric charge.

[0069]

Besides, the change-over switch 10 may be provided at the drain side of the FET 202, and in this case, the change-over switch 10 can be connected to either one of the terminal having the same potential as the power supply Voc and the earth terminal. In the address period, the change-over switch 10 is connected to the terminal having the same potential as the power supply Voc, and in the light emission period, the change-over switch 10 is connected to the earth terminal. Besides, a general three-terminal transistor can be used for the FET 201 or 202.

[0070]

Besides, in this embodiment, although the description has been made on the case where the organic EL element is used for the light emitting element of the display panel, the light emitting element is not limited to this, and any EL element may be used as long as self-emission of light is caused by the flow of a current.

[0071]

[Effect of the Invention]

Since the present invention is constructed as described above, in the light emission display device, the control is made such that in the case where an electric charge is held by the gate of each of the transistors connected in series with each of the EL elements in which the plurality of pixels are arranged in the matrix form, a current flows to the respective EL elements, and the active matrix driving control is made such that in the case where the EL element is made to emit light, the light emission determining means supplies an electric charge to the gate of the corresponding transistor, and in the address period in which light emission or light non-emission of all pixels is determined, all connections between the drive electrode and the plurality of pixels are turned off, and the drive electrode is connected to the plurality of pixels after completion of the address period. Accordingly, the instantaneous brightness of the EL element at the respective pixels can be made constant, and since the brightness adjustment based on the length of a light emission time such as the 2ⁿ subfield method is possible, the display of the brightness gradation can be accurately performed.

[Brief Description of the Drawings]

[Fig. 1] A block diagram showing a main structure of an organic

EL display device of the present invention.

[Fig. 2] A view showing an example of a circuit structure corresponding to one pixel of a display panel in FIG. 1.

[Fig. 3] A view showing timing of light emission control performed by a controller for each subfield.

[Fig. 4] A view showing light emission timing in one frame period of digital video signal data.

[Fig. 5] A view showing a schematic structure of an organic EL element.

[Fig. 6] An electrical circuit diagram equivalently expressing an organic EL element.

[Fig. 7] A view showing a simple matrix driving system of an organic EL element.

[Fig. 8] A block diagram showing a structure of an organic EL display device using a simple matrix driving system.

[Fig. 9] A view showing an example of a circuit structure corresponding to a unit pixel of a display panel for performing light emission control by active matrix driving.

[Description of Symbols]

- 1 A/D converter
- 2 column address counter
- 3 row address counter
- 4 frame memory
- 5 multiplexer
- 6 controller
- 7 row driver
- 8 column driver
- 9 display panel
- 10 change-over switch
- 201 FET
- 202 FET
- 203 capacitor
- 205 organic EL element

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.